

Patent number: JP1130131
 Publication date: 1989-05-23
 Inventor: MATSUEDA YOJIRO
 Applicant: SEIKO EPSON CORP
 Classification:
 - international: G02F1/133; G09G3/36
 - european: G02F1/1362M
 Application number: JP19870288650 19871116
 Priority number(s): JP19870288650 19871116

Report a data error here

Abstract of JP1130131

PURPOSE: To produce a defectless panel suitable for data display at a high yield by providing two TFTs (thin film transistors) to respective picture elements and providing build-in drivers which are capable of respectively independently driving signal lines of odd rows and signal lines of even rows to the panel.
CONSTITUTION: A picture element area 1 consists of 2M-pieces of the signal lines and N-pieces of scanning lines as well as (MXN) pieces of picture element electrodes and the two picture element TFTs 10 in which the drain electrode is commonly connected to one of the respective picture element electrodes. The gate electrodes of the picture element TFTs are connected to the common scanning line and the source electrodes are connected to the adjacent two signal lines. The signal lines X1a-XMa of the odd rows are driven by the X driver 2 and the signal lines X1b-XMb of the even rows are driven by the X driver 3. All the scanning lines Y1-YN are driven by the Y driver 4. Different signals can, therefore, be applied to the two TFTs 10 by using the built-in drivers 2-4 to detect a defective part. The defective part is corrected by laser trimming, etc. The defectless panel suitable for data display is thereby produced at the high yield.

④ 特許出願公開

⑤ 公開特許公報 (A) 平1-130131

⑤ Int. Cl. 4

雜列記号

庫内整理番号

④公開 平成1年(1989)5月23日

G 02 F 1/133
G 09 G 3/36

327 -

7370-2H
8621-5C

審査請求 未請求 発明の数 1 (全5頁)

④発明の名称 **ドライバー内蔵アクティブマトリクスパネル**

特 照 62-288650

出 願 昭62(1987)11月16日

②発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑦出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
会社

②代 理 人 弁 理 士 最 上 務 外 1 名

■ ■ ■

1. 發明名稱

ドライバー内蔵アクティブマトリクスパネル

2. 假設需求之範圍

(1) 絶縁品板上に、複数のデータ線群、走査線群、及び行記データ線及び定査線の少なくとも一方を駆動するためのドライバを備え、行記データ線及び定査線の交点に設けられた薄膜トランジスタ（以下ＴＦＴと略記）アレイによって画像電圧を駆動し液晶を駆動して成るドライバ内蔵アクティブマトリクスパネルにおいて、以下の構成を有することを特徴とするドライバ内蔵アクティブマトリクスパネル。

N本の定数線と2M本の信号線、及びM×M個の固定電圧と、各固定電圧の1つにブレイク電極が、共通に接続された2つのTFTを備え、前記の2つのTFTのゲート電圧は共通の定数線に接続され、ソース電極は隣接する2本の信号線に接

助され、借款判断の番号表と供款列目の番号表をそれぞれ勘立に駆動である内蔵ドライバーを備えている。

・図 前記部素 T F T 及び内蔵ソライバールを構成する T F T はポリシリコン薄膜を用いて形成されることを特徴とする特許請求の範囲第 1 項記載のソライバール内蔵アクティブマトリクスパネル。

3. 果樹の移植を奨励

(産業上の利用分野)

・本誌朝はドライバー内蔵アクティブマトリクス
パネルの構成にする。

〔陸奥の復興〕

従来の、ドライバ内蔵アクティブマトリクス
パネルの、例としては「SID (エス・アイ・ダ
イー) 84 ダイブレストP、818 両角価」があ
る。第2図はその回路図の例である。21は、画
面エリア、22はXドライバ、24はYドライ
バである。画面エリア21は、信号線X₁、X₂、
X_nと存在線Y₁、Y₂、Y_n、及びそれら

の交点に配置された図素TFT30とから成る。図素TFT30には図素電極が接続され、対向電極Vc.mとの間に容量31が存在する。32は信号線と対向電極間の容量である。Xドライバー22は、シフトレジスタ28とアナログスイッチTFT28とから成る。VIDは図素信号入力端子、CLX、CLYはクロック信号、DX、DYはドライバーの動作入力信号の端子である。

(発明が解決しようとする問題点)

しかし、前述の従来技術では以下に述べるような問題点を有する。すなわち、アクティブマトリクスパネルは、大面積に数万～数百万個もの発光素子を作製する必要があり、細欠陥のパネルを作るのは本質的に極めて難しいという点である。特に、画面サイズの大増大、画面の高解像化に伴い歩留まりは一層低下する。

一方、アクティブマトリクスパネルをキャラクターなどのデータ表示に用いる場合、細欠陥であることはもちろん、すべての図素が与えられた信号に対して正確な発光表示をする必要がある。この

ようなパネルを従来技術で作製するのはほとんど不可能である。

本発明はこのような問題点を解決するものであり、その目的とするところは、データ表示に適した細欠陥のアクティブマトリクスパネルを、ドライバーを内蔵し低コストで高い歩留まりで作製できるようにするところにある。

(問題点を解決するための手段)

本発明のドライバー内蔵アクティブマトリクスパネルは以下の構成を有することを特徴とする。

N本の走査線と2M本の信号線、及びM×N個の図素電極と、各図素電極の1つにアレイン電極が共通に接続された2つのTFTを備え、前記2つのTFTのゲート電極は共通の走査線に接続され、ソース電極は前記する2本の信号線に接続され、奇数列目の信号線と偶数列目の信号線をそれぞれ独立に駆動する内蔵ドライバーを備えている。

(作用)

本発明の上記の構成を用いたドライバー内蔵ア

クティブマトリクスパネルは、図素TFTと信号線に冗長性を持たせてあり、各図素の2つのTFTのうちどちらかが正常であれば正確の信号を与えることができる。一方、これらの2つのTFTには、内蔵ドライバーを用いて異なる信号を与えることができ、電気的、光学的に簡単に不良TFTのアドレスを検出することができる。

(実施例)

第1図は、本発明の1実施例を示すドライバー内蔵アクティブマトリクスパネルの回路図の例である。ドライバー内蔵アクティブマトリクスパネルは、図素エリア1とXドライバー2、3及びYドライバー4とから成っている。本実施例においては信号線と図素TFTに冗長性があり、図素エリア1は、2M本の信号線とN本の走査線及びM×N個の図素電極と、各図素電極の1つにアレイン電極が共通に接続された2つの図素TFT10とから成り、この図素TFTのゲート電極は共通の走査線に、ソース電極は前記する2本の信号線に接続されている。11は図素電極と対向電極V

c.mとの間の図素の容量であり、12、13は信号線と、Vc.mとの間の図素の容量である。信号線の保持特性を改善するため、これらの容量に並列に、容量を付加することもある。奇数列目の信号線X₁、X₃、X₅はXドライバー2で、偶数列目の信号線X₂、X₄、X₆はXドライバー3で、走査線Y₁、Y₃、Y₅は全て、Yドライバー4で駆動する。Xドライバー2、3はシフトレジスタ6、7とアナログスイッチTFTアレイ8、9とから成る。このアナログスイッチのかわりにラッチ回路を設けて順次ドライバーとすることもできる。CLXa、CLXbはシフトレジスタ6、7のクロック入力端子、DXa、DXbはシフトレジスタ6、7のスタート信号入力端子、VIDa、VIDbは図素信号入力端子である。Yドライバーはシフトレジスタで、CLYはクロック、DYはスタート信号の入力端子である。

本実施例においては1つの図素に2つのTFTを備えているため、どちらか一方のTFTが不良

であっても他のTFTが正常であれば、不良TFTをレーザトリミング等を用いて切断して修正できる。修正した回路には正確の信号が与えられるため、本実施例ではチャタリングなどのデータ表示にも対応できる無欠陥のアタチブマトリクスパネルを高い歩留まりで作製できる。一方、不良部分のアドレスを抽出する場合、本実施例においては信号線に冗長性を有しかつ奇数列目と偶数列目の信号線を独立に駆動できるため、電気的にあるいは光学的に簡単に抽出できる。以下、その具体的な方法について説明する。

第1の方法は、電気的に抽出する方法である。一般にTFTの不良にはショートとオープンとの2つのモードがあるが、検査については特に修正する必要はないので、前者の抽出方法について述べる。第3図(a)はTFTのゲート・ソース・ドレイン間及びゲート・ドレイン間のショートを検出する方法である。この図のように定電流を順次選択し、画素信号入力端子VIDa、VIDbにそれぞれ電圧計を接続して、信号線を順次選択していけばシ

ョートしているアドレスを簡単に求めることができる。2つのTFTのどちらかがショートしているかは、抽出された電流値の大きさで判別する。なお、全アドレスについてこの測定を行なうのはかなり時間を要するため、まず全ての定電流と信号線を同時に選択し、もしリーク電流が検出されれば、定電流を1本ずつ順次選択し、リーク電流が再び検出された定電流でドライバの動作を止め、信号線を1本ずつ選択しアドレスを求めるといった方法が簡便である。第3図(b)はTFTのソース・ドレイン間のショートを検出する方法で、2つのTFTの直列抵抗を求めている。もし、どちらかのTFTのソース・ドレイン間がショートしていれば、この抵抗は約半分となる。ただし、2つのTFTのどちらかが不良かはこの状態では判断できないため、外装検査か画素電圧に直接プロービングして調べる必要がある。通常は、ソース・ドレイン間のショートは半導体バターン不良がおもな原因で発生するので外装検査で対応がつくことが多い。第3図(c)はTFTの不良ではなく、信

号線間のショートを検出する方法である。本実施例のように信号線に冗長性を付与する場合、画素電圧線の2本の信号線がショートするよう事も起こり得る。そのように不良はこの図のように隣接する2本の信号線を順次選択し、それらの信号線間のリーク電流を検出することで可能になる。この場合、電気的にY側のアドレスを求めるのは不可能だが、パターン不良がおもな原因なので外装検査で場所を求めて修正することができる。

第2の方法は光学的に抽出する方法である。この検査は液晶を封入した後で行なう。この方法は簡単に、Xドライバ2のみを使って画像を表示した場合を甲、Xドライバ3のみを使って画像を表示した場合を乙とすると、甲と乙を比較して不良TFTのアドレスを求めるという方法である。

アタチブマトリクス画版の断面図を第4図に示す。40は絶縁基板、41はゲート電板、42はゲート線部、43はチャネル部、44、45はそれぞれソース・ドレイン部、46は画素電板部、47は信号線、48は画素電板である。内

蔵ドライバを構成するTFTも同じ構造で、画素TFTと同時に作製する。

(発明の効果)

以上述べたように、本発明のドライバ内蔵アタチブマトリクスパネルは、画素TFTと信号線に冗長性を付与しており、各画素の2つのTFTのうちどちらかが正常であれば正確の信号を与えることができる。一方、これらの2つのTFTには、内蔵ドライバを用いて異なる信号を与えることができ、電気的、光学的に簡単に、不良TFTのアドレスを求めることができる。従って、内蔵ドライバを用いて不良部分を抽出し、レーザトリミング等によって修正すれば、データ表示に及ぶ無欠陥のアタチブマトリクスパネルを高い歩留まりで作製できる。特に画素部パネルにおいては、通常のプローブカード等を用いた検査方法ではこのような検査は不可能だが、本発明によればドライバの動作が可能な限り非常に高画素のパネルにも対応できる。しかも検査に要する時間も短くてすみ、コストアップにはならな

い。また、ドライバー内蔵であるからパネルは小型軽便で製造コストも安い。

4. 図面の簡単な説明

第1図はドライバー内蔵アクティブマトリクスパネルの回路図。

第2図は従来のドライバー内蔵アクティブマトリクスパネルの回路図。

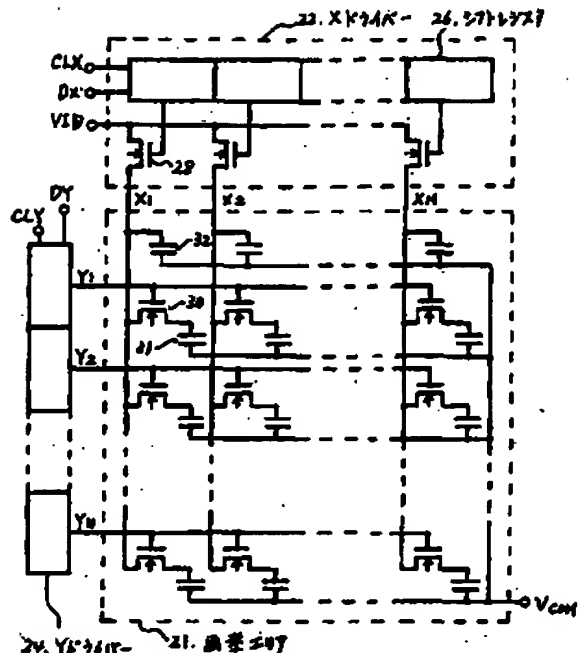
第3図(a)、(b)、(c)は不良部分の検出方法を示す図。

第4図はアクティブマトリクス基板の断面図。

- 1、21…画素エリア
- 2、22…Xドライバー
- 4、24…Yドライバー
- 6、7、26…シフトレジスタ
- 8、9、28…アナログスイッチTFT
- 10、30…画素TFT

以上

出願人 ヤマハ・エプソン株式会社
代理人 弁理士 森 上 瑞 雄 1名



第2図

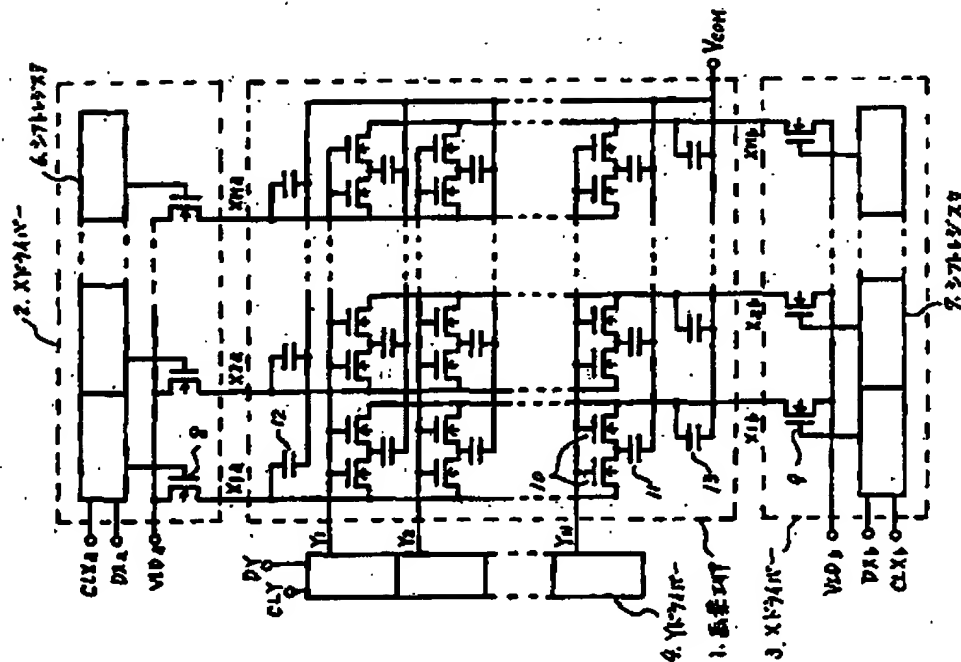
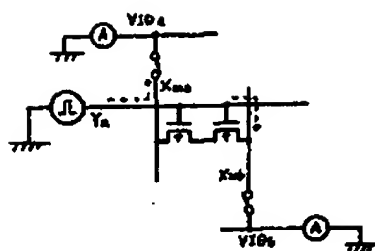
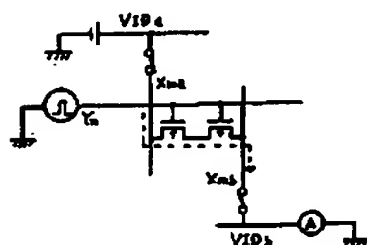


図1

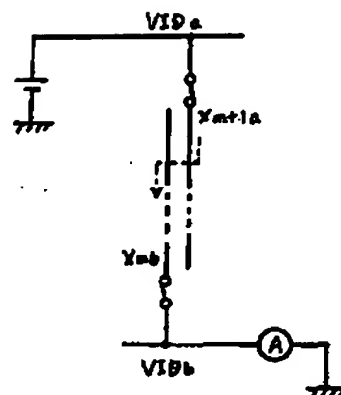


(a)



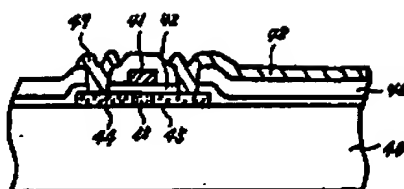
(b)

第3図



(c)

第3図



- 40 ... 絶縁基板
- 41 ... Y+
- 42 ... Y+絶縁膜
- 43 ... 穴
- 44 ... Y-
- 45 ... ドレイン
- 46 ... 層間絶縁膜
- 47 ... 信号線
- 48 ... 画素電極

第4図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.